Anexo A
Manual do utilizador do PG04 versão 2

1. Diagrama de blocos

A figura 22 contém o diagrama de blocos simplificado do PG04 versão 2. A concretização deste periférico, que liga ao PC pela porta paralela, é feita com duas placas de circuito impresso: a placa principal e o painel. As sessões 2 e 3 apresentam as duas placas na perspectiva do utilizador.

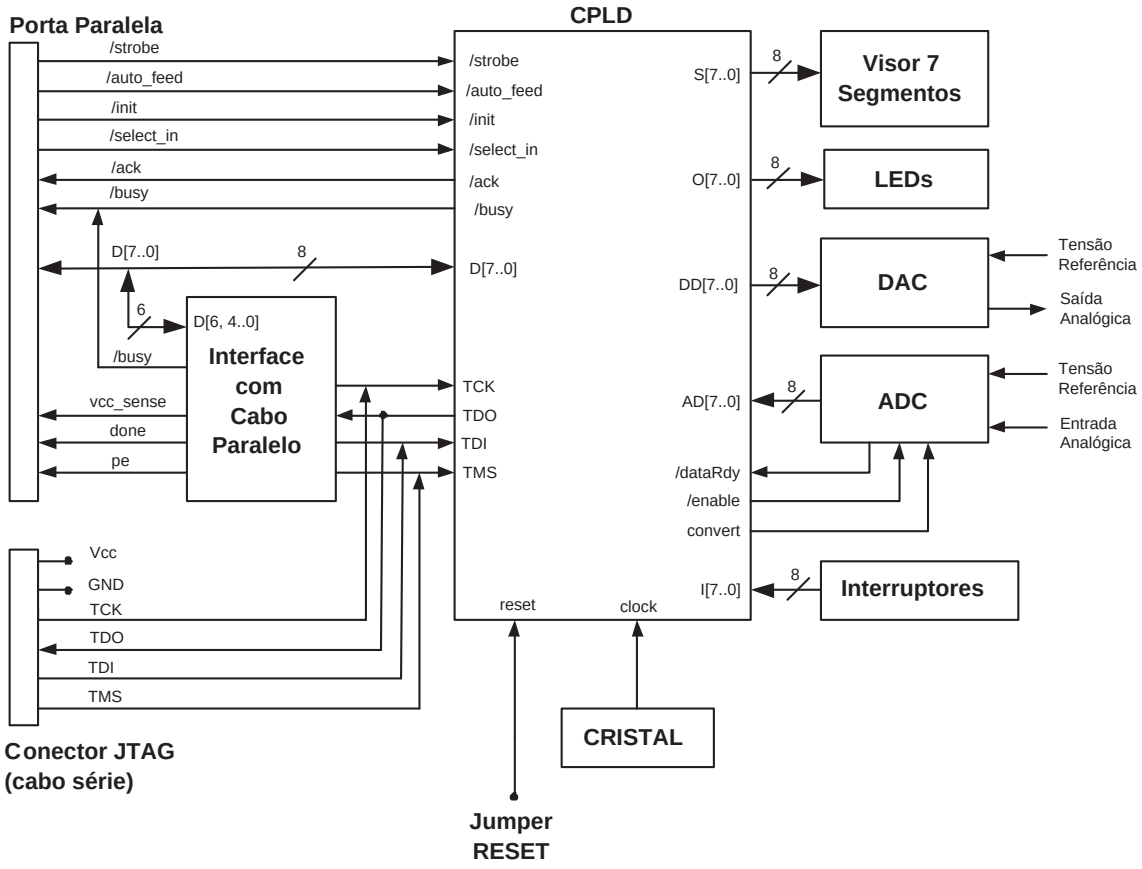

Figura 22: Diagrama de blocos simplificado do PG04 versão 2.

2. Placa principal

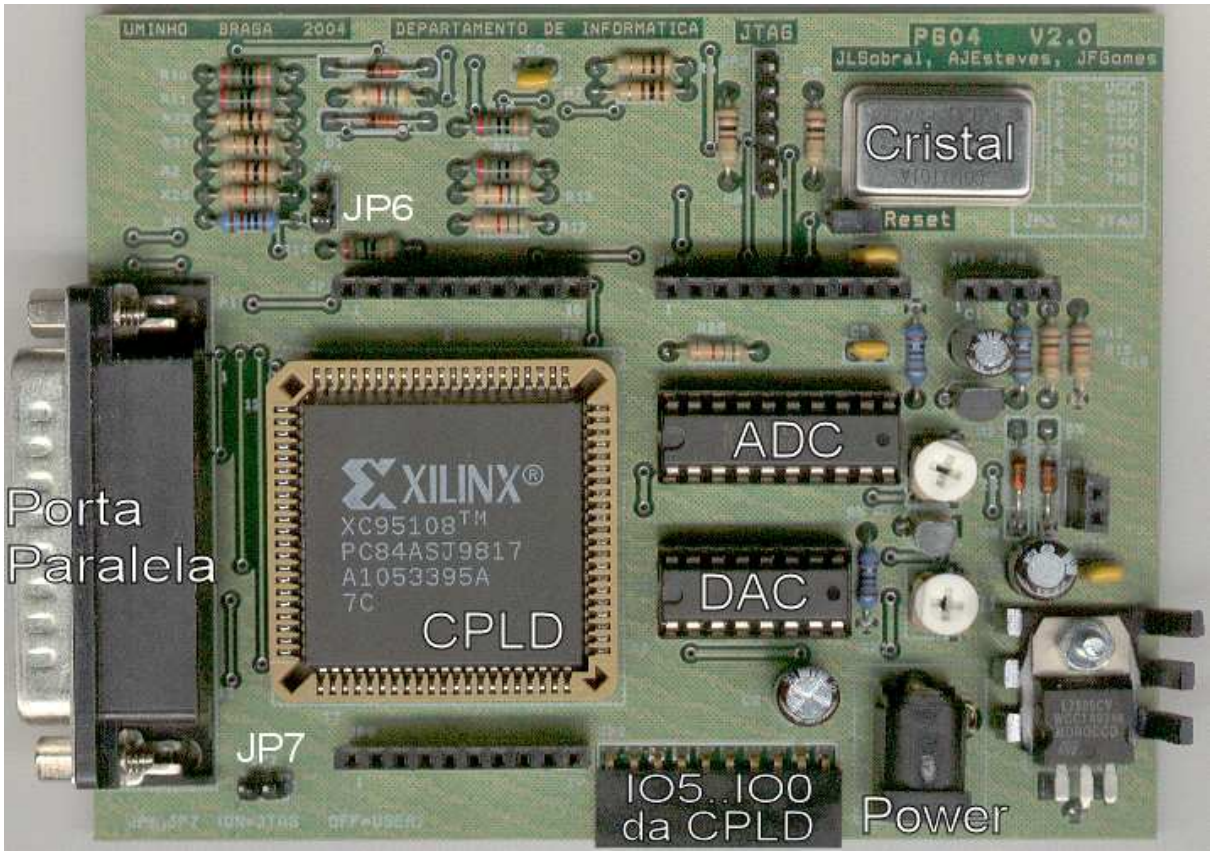

Figura 23: Placa principal do PG04 versão 2.

Para facilitar a utilização do PG04, apresenta-se uma breve descrição dos componentes, conectores e jumpers disponíveis na placa principal do PG04 v2.

- **JTAG**: é um conector que pode ser usado para programar a CPLD usando um cabo série, em alternativa ao cabo paralelo cuja interface está disponível no PG04 v2;
- **Reset**: botão/jumper que liga à entrada de `reset` da CPLD (`ON` - não faz reset porque o sinal é de lógica negativa, `OFF` - faz reset);
- **IO5..IO0 da CPLD**: conector com os pinos livres IO[5] a IO[0] da CPLD;
- **JP6, JP7**: jumpers que permitem (i) usar a porta paralela para programar a CPLD por JTAG (ambos os jumper `ON`) ou (ii) usar a porta paralela para receber/enviar informação de/para lógica configurada pelo utilizador (ambos os jumper `OFF`);
- **ADC, DAC**: conversor analógico-digital / digital-analógico;
- **Cristal**: cristal que é usado para fornecer um sinal de relógio à CPLD.

3. Painel

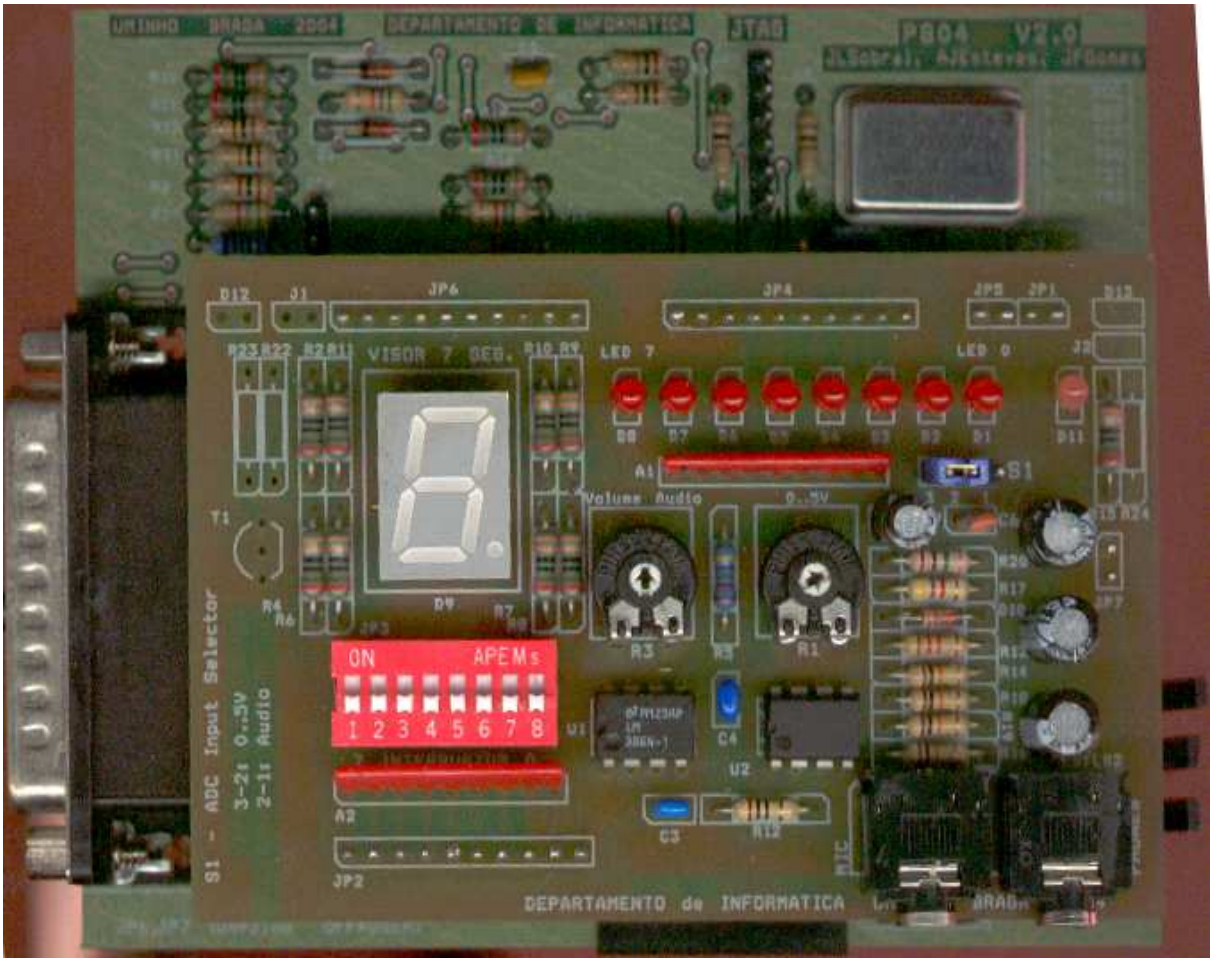

Figura 24: Painel do PG04 versão 2 ligado à placa principal.

Apresenta-se agora uma breve descrição dos componentes e jumpers disponíveis no painel do PG04 v2.

- **J1, J2**: jumper não ligado (actualmente);
- **JP1, JP2, JP4, JP5, JP6, JP7**: ligação entre o painel e a placa principal (de baixo);
- **JP3**: interruptores 7 a 0;
- **D9**: visor de 7 segmentos;
- **s1**: selector da tensão de entrada do conversor A/D - (i) a tensão vem da resistência variável R1 (jumper na posição `3-2`) ou (ii) a tensão vem da entrada de áudio/microfone (jumper na posição `2-1`);
- **MIC**: entrada proveniente dum microfone;
- **PHONES**: saída para uns auscultadores;

- **D8..D1**: LEDs 7 a 0;
- **R1**: resistência para ajustar a tensão de entrada do conversor A/D;
- **R3**: resistência para ajustar o volúme da entrada de audio.

4. CPLD

A tabela seguinte apresenta a atribuição dos sinais de entrada e saída da CPLD aos pinos do encapsulamento PLCC84. Inclui-se apenas os sinais acessíveis ao utilizador, o que exclui por exemplo os sinais usados na configuração por JTAG. Alguns nomes estão ligeiramente alterados em relação ao diagrama de blocos, mas a sua identificação é evidente.

Sinal	***Pino da CPLD***	***Sinal***	***Pino da CPLD***
ad[0]	P67	d[0]	P15
ad[1]	P66	d[1]	P17
ad[2]	P65	d[2]	P19
ad[3]	P63	d[3]	P21
ad[4]	P71	d[4]	P23
ad[5]	P70	d[5]	P24
ad[6]	P69	d[6]	P25
ad[7]	P68	d[7]	P26
i[0]	P41	dd[0]	P54
i[1]	P40	dd[1]	P55
i[2]	P39	dd[2]	P56
i[3]	P37	dd[3]	P57
i[4]	P36	dd[4]	P50
i[5]	P35	dd[5]	P51
i[6]	P34	dd[6]	P52
i[7]	P33	dd[7]	P53
o[0]	P84	s[0]	P6
o[1]	P83	s[1]	P5
o[2]	P82	s[2]	P3
o[3]	P81	s[3]	P2
o[4]	P80	s[4]	P1
o[5]	P79	s[5]	P7
o[6]	P75	s[6]	P11
o[7]	P72	s[7]	P4
io[0]	P43	notAck	P31
io[1]	P44	notAutoFeed	P14
io[2]	P45	notDataRdy	P58
io[3]	P46	notEnable	P61
io[4]	P47	notInit	P18
io[5]	P48	notSelectIn	P20
convert	P62	notStrobe	P13
clock	P9	notBusy	P32
reset	P74		

Tabela 4: Atribuição dos sinais de entrada e saída da CPLD aos pinos do encapsulamento PLCC84.